

1998kr-005383/ap,prn
1 1998KR-005383/AP
(KR98-5383/AP)
0 1998KR-005383/PRN
(KR98-5383/PRN)
L1 1 1998KR-005383/AP,PRN

L1 ANSWER 1 OF 1 WPINDEX (C) 2002 THOMSON DERWENT
ACCESSION NUMBER: 1999-061807 [06] WPINDEX
DOC. NO. NON-CPI: N1999-045825
DOC. NO. CPI: C1999-018585
TITLE: Polysilicon thin film transistor - has branched gate and
branched channel design.
DERWENT CLASS: L03 U12 U13 U14
INVENTOR(S): MIYAMOTO, S
PATENT ASSIGNEE(S): (MITQ) MITSUBISHI DENKI KK; (MITQ) MITSUBISHI ELECTRIC
CORP
COUNTRY COUNT: 5
PATENT INFORMATION:

PATENT NO	KIND	DATE	WEEK	LA	PG	MAIN	IPC
DE 19803479	A1	19981224	(199906) *		37	H01L029-786	
JP 11008390	A	19990112	(199912)		19	H01L029-786	
US 5965914	A	19991012	(199949)			H01L029-76	
KR 99006350	A	19990125	(200014)			H01L029-786	
TW 401643	A	20000811	(200116)			H01L029-78	

APPLICATION DETAILS:

PATENT NO	KIND	APPLICATION	DATE
DE 19803479	A1	DE 1998-19803479	19980129
JP 11008390	A	JP 1997-161118	19970618
US 5965914	A	US 1997-996811	19971223
KR 99006350	A	KR 1998-5383	19980220 <--
TW 401643	A	TW 1998-101339	19980203

PRIORITY APPLN. INFO: JP 1997-161118 19970618

INT. PATENT CLASSIF.:

MAIN: H01L029-76; H01L029-78; H01L029-786
SECONDARY: H01L021-336; H01L021-8244; H01L027-11; H01L031-62

BASIC ABSTRACT:

DE 19803479 A UPAB: 19990210
A semiconductor device has (a) an insulating film (2) formed on a semiconductor substrate (1); (b) a gate (8) with a lower branch gate (8a) on the insulating film surface and several branch gates (8b, c) branching from and overlying the lower branch gate (8a), gate through-holes being provided between the lower branch gate and the branch gates; (c) a channel (6) which branches from one side of the gate through-holes and which has branch channels (6a-d) passing through and uniting at the other side of the gate through-holes; (d) a gate insulation film (7) formed between the gate (8) and the channel (6); and (e) a source/drain region connected to the gate at opposite sides of the gate through-holes. Also claimed are (i) similar devices in which a tunnel is formed on the insulating film, the

substrate has a recess or the above arrangement of branch channels and branch gates is reversed; and (ii) processes for producing these semiconductor devices.

USE - As a polysilicon TFT for use as a load element in a low current consumption SRAM.

ADVANTAGE - The design provides a thin film transistor with relatively small area and a high current capacity.

Dwg.2/56

FILE SEGMENT:	CPI EPI
FIELD AVAILABILITY:	AB; GI
MANUAL CODES:	CPI: L03-G04A; L04-E01
	EPI: U12-B03A; U12-Q; U13-C04B1B; U14-A03B1

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁸

H01L 21/20

(11) 공개번호 특1998-0005383

(43) 공개일자 1998년 03월 30일

(21) 출원번호 특1996-0026534

(22) 출원일자 1996년 06월 29일

(71) 출원인 현대전자산업 주식회사 김주용

(72) 발명자 경기도 이천시 부발읍 아미리 산 136-1(우:467-860)

고요환

서울특별시 노원구 하계1동 선경아파트 6동 906호

최진혁

서울특별시 관악구 신림9동 235-7호

(74) 대리인 박해천, 원석희, 염주석

심사청구 : 있음

(54) 반도체 장치 및 그 제조방법

요약

본 발명은 메몰산화층과 비도핑 단결정실리콘층이 형성되는 SOI트랜지스터 제조방법에 있어서, 전체구조 상에 식각방지막을 형성하는 단계; 상기 식각방지막 상에 소자분리 마스크를 형성하고 단결정실리콘층을 식각하여 노출하는 단계; 반도체 기판의 소정영역에 메몰산화층과 비도핑 단결정실리콘층을 상기 활성화 영역 위면에 형성하는 단계; 전체구조상에 패드산화막 및 절화막 형성하며 필드산화막이 형성될 부분의 절화막을 선택식각하여 제거하는 단계를 특징으로 하는 SOI 트랜지스터에 관한 것으로 N-웰과 P-웰사이 에 전기적인 통로가 형성되는 것을 완전히 차단하여 래치업에 의한 누설전류를 완벽하게 방지한다.

도면도

도2a

명세서

[발명의 명칭]

반도체 장치 및 그 제조방법

[도면의 간단한 설명]

제2a도 내지 제2c도는 본 발명의 일실시예에 따른 SOI트랜지스터의 제조공정 단면도.

제3a도 내지 제3c도는 본 발명의 다른 일실시예에 따른 SOI트랜지스터의 공정 단면도.

본 내용은 요부공개 건이므로 전문 내용을 수록하지 않았음

(57) 청구의 범위

청구항 1. 제 1 실리콘층, 산화층 및 제 2 실리콘층에 차례로 적층된 SOI 기판 상에 형성되는 반도체 장치에 있어서; 상기 제 2 실리콘층에 불순물시 도핑된 N웰 및 P웰; 상기 N웰과 P웰을 전기적으로 격리시키기 위해 상기 N웰과 P웰의 경계 지역에 형성되되 그 일부 하부가 상기 산화층과 접하는 소자분리막을 포함하여 이루어진 반도체 장치.

청구항 2. 제 1 실리콘층, 메몰 산화층, 제 2 실리콘층이 차례로 적층된 SOI기판을 사용하는 반도체 장치 제조 방법에 있어서; 상기 제 2 실리콘층에 불순물을 도핑시켜 N웰과 P웰을 형성하는 단계; 상기 제 2 실리콘층상에 상기 N웰과 P웰의 경계지역이 노출되는 산화방지막을 형성하는 단계; 상기 N웰과 P웰의 경계 지역이 노출되는 산화방지막을 형성하는 단계; 상기 N웰과 P웰의 경계지역이 노출되되 상기 산화방지막에 의해 노출되는 부위의 폭이 좁아지도록 전체구조 상부에 포토레지스트 패턴을 형성하는 단계; 상기 포토레지스트 패턴을 식각장벽으로 상기 제 2 실리콘층의 N웰과 P웰 경계 지역을 식각하는 단계; 및 상기 포토레지스트 패턴을 제거하고 노출된 상기 제 2 실리콘층을 산화시켜 상기 메몰산화층과 일부 하부가 맞닿는 소자분리 산화막을 형성 하는 단계를 포함하여 이루어진 것을 특징으로 하는 반도체 장치 제조방법.

청구항 3. 제 2 항에 있어서, 상기 제 2 실리콘층의 N웰과 P웰 경계지역을 식각하는 단계에서 상기 메몰 산화층이 노출되도록 식각하는 것을 특징으로하는 반도체 장치 제조방법.

청구항 4. 제 2 항에 있어서; 상기 제 2 실리콘층이 N웰과 P웰 경계지역 식각하는 단계에서 상기 제

2 실리콘층의 일부두께를 잔류시키는 것을 특징으로 하는 반도체 장치 제조방법.

청구항 5. 제 2 항에 있어서; 상기 메몰산화층과 맞닿지 않는 상기 소자분리산화막 하부지역의 상기 제 2 실리콘층에 채널 스톱 이온주입을 실시하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치 제조방법.

청구항 6. 제 1 실리콘층, 메몰산화층, 제 2 산화층이 차례로 적층된 SOI기판을 사용하는 반도체 장치 제조방법에 있어서; 상기 제 2 실리콘층에 불순물을 도핑시켜 N웰과 P웰을 각각 형성하는 단계; 상기 N웰과 P웰 경계지역 상기 제 2 실리콘층 일부깊이를 선택산화시켜 소자분리 산화막을 형성하는 단계; 상기 잔류 제 2 실리콘층의 N웰과 P웰 경계지역을 선택 식각하기 위해 상기 소자분리산화막의 소정부위가 노출되도록 마스크 패턴을 형성하는 단계; 상기 마스크 패턴을 식각 장벽으로 상기 소자분리산화막과 상기 잔류 제 2 실리콘층을 차례로 식각하여 상기 메몰산화층의 소정부위를 노출되는 홈을 형성하는 단계; 상기 마스크 패턴을 제거하는 단계; 및 상기 홈 내부에 소자분리용 절연막을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 장치 제조방법.

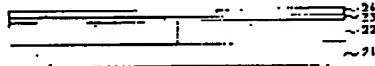
청구항 7. 제 6 항에 있어서, 상기 홈 내부에 형성되는 소자분리용 절연막을 실리콘절화막인 것을 특징으로 하는 반도체 장치 제조방법.

청구항 8. 제 6 항에 있어서; 상기 소자분리산화막 하부의 상기 잔류 제 2 실리콘층에 채널스탑 이온주입을 실시하는 단계를 더 포함하는 것을 특징으로 하는 반도체 장치 제조방법.

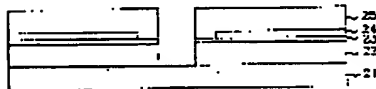
※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

도면2a



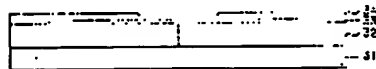
도면2b



도면2c



도면3a



도면3b

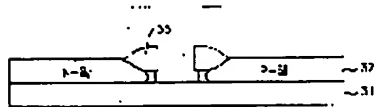


図 23。

